

**PRELIMINARY SPECIFICATION**

**Rev. 1.0**

**MODEL : NS953M-36AW-01-F1**

TEMPORARY

## CONTENTS; 目次

CONTENTS; 目次 .....	2
1. GENERAL DESCRIPTION; 概要 .....	4
2. FEATURES; 特徴 .....	4
3. BLOCK DIAGRAM; ブロック図 .....	5
4. ABSOLUTE MAXIMUM SPECIFICATION; 絶対最大定格 .....	5
5. ELECTRICAL SPECIFICATION; 電氣的仕様 .....	5
6. ELECTRICAL CHARACTERISTICS; 電氣的特性 .....	6
6.1. Standard Test Condition; 標準試験条件 .....	6
6.2. Circuit of Measurement; 測定用接続図 .....	6
6.3. Standard Input Signal; 標準入力信号 .....	7
6.4. Dummy Antenna; 擬似アンテナ .....	7
6.5. Electrical Characteristics Item; 電氣的特性項目 .....	7
7. SERIAL INTERFACE(I <sup>2</sup> C-BUS); シリアルインターフェース(I <sup>2</sup> C-BUS) .....	8
7.1. I <sup>2</sup> C-bus Terminology; I <sup>2</sup> C で使用される用語 .....	8
7.2. START Condition and STOP Condition; 「スタート」条件と「ストップ」条件 .....	8
7.3. Data Transfer; データ転送 .....	9
7.4. Acknowledge; アクノリッジ(受信確認) .....	10
7.5. Software reset; ソフトウェア・リセット .....	10
7.6. Electrical Specification and Timing for I/O Stages .....	11
7.7. Definition of Bits in a Byte; 1バイト内の各ビット定義 .....	12
7.7.1. Slave Address; スレーブ・アドレス .....	12
7.7.2. Register Address; レジスタ・アドレス .....	12
7.7.3. Register data; レジスタ・データ .....	12
7.8. Command Format; コマンドフォーマット .....	13
7.8.1. Individual Register Data Writing; 個別レジスタ・データ書き込み .....	13
7.8.2. Individual Register Data Reading; 個別レジスタ・データ読み込み .....	13
7.8.3. Continuous Register Data Writing; 連続レジスタ・データ書き込み .....	14
7.8.4. Continuous Register Data Reading; 連続レジスタ・データ読み込み .....	15

8.	SOFTWARE CONTROL SPECIFICATION; ソフトウェア制御仕様	16
8.1.	Set Register(outline); レジスタ設定 (概要)	16
8.2.	Standard Clock; 基準クロック	16
8.3.	PLL Setting Method; PLL (PCNT レジスタ) 設定方法	16
8.4.	LOBIAS Setting Method; LOBIAS レジスタ設定方法	17
8.5.	STO Output Terminal; STO 端子出力	18
8.6.	Register Map; レジスタマップ	19
8.7.	SEEK control sequence (example ; Lower LO); SEEK 制御シーケンス例 (Lower LO)	21
9.	RELIABILITY TEST CONDITIONS; 信頼性試験項目	23
10.	PBFREE SOLDER REFLOW PROFILE; 鉛フリー・リフロープロフィール	23
11.	OUTER DIMENSION AND TERMINALS FOR CONNECTION; 外形寸法及び外部接続端子	24
12.	MARKING; 表示	24
13.	ASSIGNMENT OF PINS; ピン配置	25
14.	RECOMMENDED FOOT PATTERN; 推奨フットパターン	26
15.	APPEARANCE SPECIFICATION; 外観規格	27
15.1.	Marking; 表示	27
15.2.	Shield Case; シールドケース	27
15.3.	Base; 基板	27
15.4.	Solder Ball; はんだボール	27
16.	NOTES OF USE ; 使用上の注意事項	28
16.1.	Notes of designing the board.; 設計時の注意事項	28
16.2.	Notes of installation; 実装上の注意事項	28
16.3.	Notes of usage conditions; 取り扱い時の注意事項	29
16.4.	Notes of storage; 保管上の注意事項	29
16.5.	Notes of others; その他の注意事項	29
17.	REVISION; 改定履歴	30

## 1. General Description; 概要

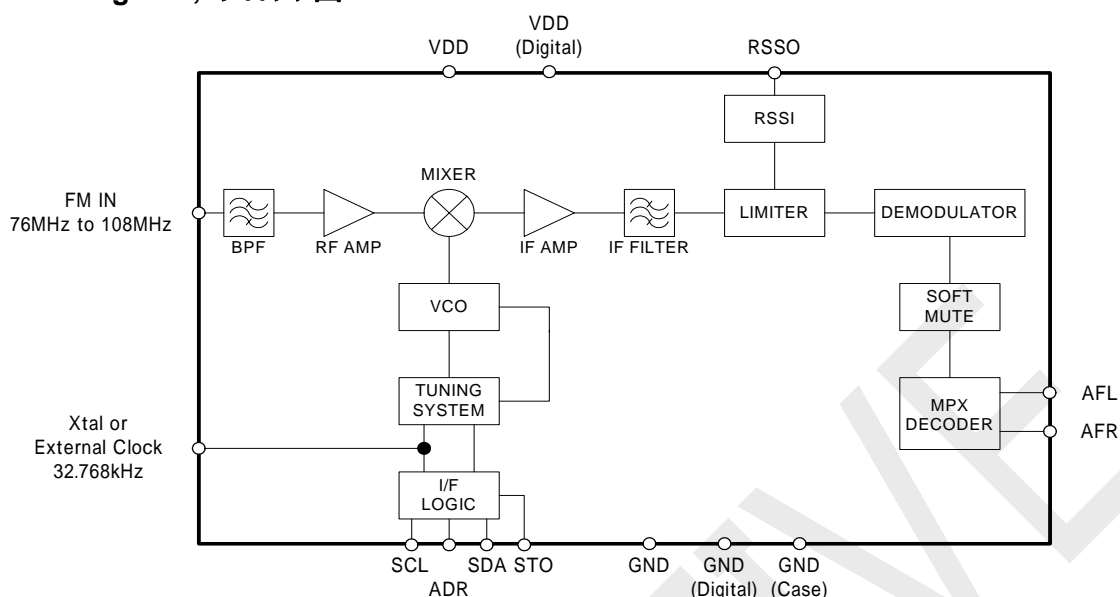
The NS953M is an ultra-low-power FM stereo radio module designed for handheld applications.

NS953M は携帯機器向け低消費電力 FM ステレオラジオ用モジュールです。

## 2. Features; 特徴

- Available for preset tuning to receive US / Europe / Japan FM band(76 to 108 MHz )  
米国、欧州、日本の FM 放送(76MHz ~ 108MHz)受信可能
- RF Automatic Gain Control (AGC) circuit  
AGC 回路内蔵
- No external IF BPF and discriminator required for FM and less external parts  
外付けFM用 IF バンドパスフィルタ、FM ディスクリミネータ不要
- Soft muting  
ソフトミュート機能
- High Cut Control(HCC) and Stereo Noise Control(SNC)  
ハイカットコントロール(HCC)、ステレオノイズコントロール(SNC)機能
- I<sup>2</sup>C serial bus interface  
I<sup>2</sup>C シリアルインターフェース
- Alignment-free stereo decoder  
調整レス
- Standby mode  
スタンバイモード機能
- VDD(analog / digital) = 2.7 to 3.3V  
電源電圧 2.7V ~ 3.3V 対応
- Low supply current = typ. 8.0mA  
低消費電流 8.0mA typ.
- Operating Temperature = -20degC to +70degC  
動作温度範囲 -20degC ~ +70degC

### 3. Block Diagram ; ブロック図



### 4. Absolute Maximum Specification ; 絶対最大定格

No.	ITEM 項目	SYMBOL 記号	MIN. 最小値	MAX. 最大値	UNIT 単位
1	Maximum supply voltage 最大電源電圧	VDD	-0.3	3.6	V
2	Maximum input voltage 最大入力電圧	VIN	-0.3	VDD+0.3	V
3	Storage temperature 保存温度	Tstg	-30	+80	degC
4	Storage humidity 保存湿度	Hstg	45	85	%RH

Note1 : Refrain from dew condensation; 結露無きこと

### 5. Electrical Specification; 電氣的仕様

No.	ITEM 項目	SPECIFICATION 仕様
1	Receiving system 受信方式	Super Heterodyne スーパーヘテロダイン
2	Receiving frequency 公称受信周波数	USA/EUROPE/JAPAN BAND 76MHz to 108MHz
3	IF center frequency 中間周波数	375kHz
4	Antenna input impedance アンテナ入力インピーダンス	75ohm unbalanced 75ohm 不平衡
5	Operating supply voltage 動作電源電圧	DC +2.7V to +3.3V
6	Operating Temperature 動作温度範囲	-20degC to +70degC

## 6. Electrical Characteristics; 電気的特性

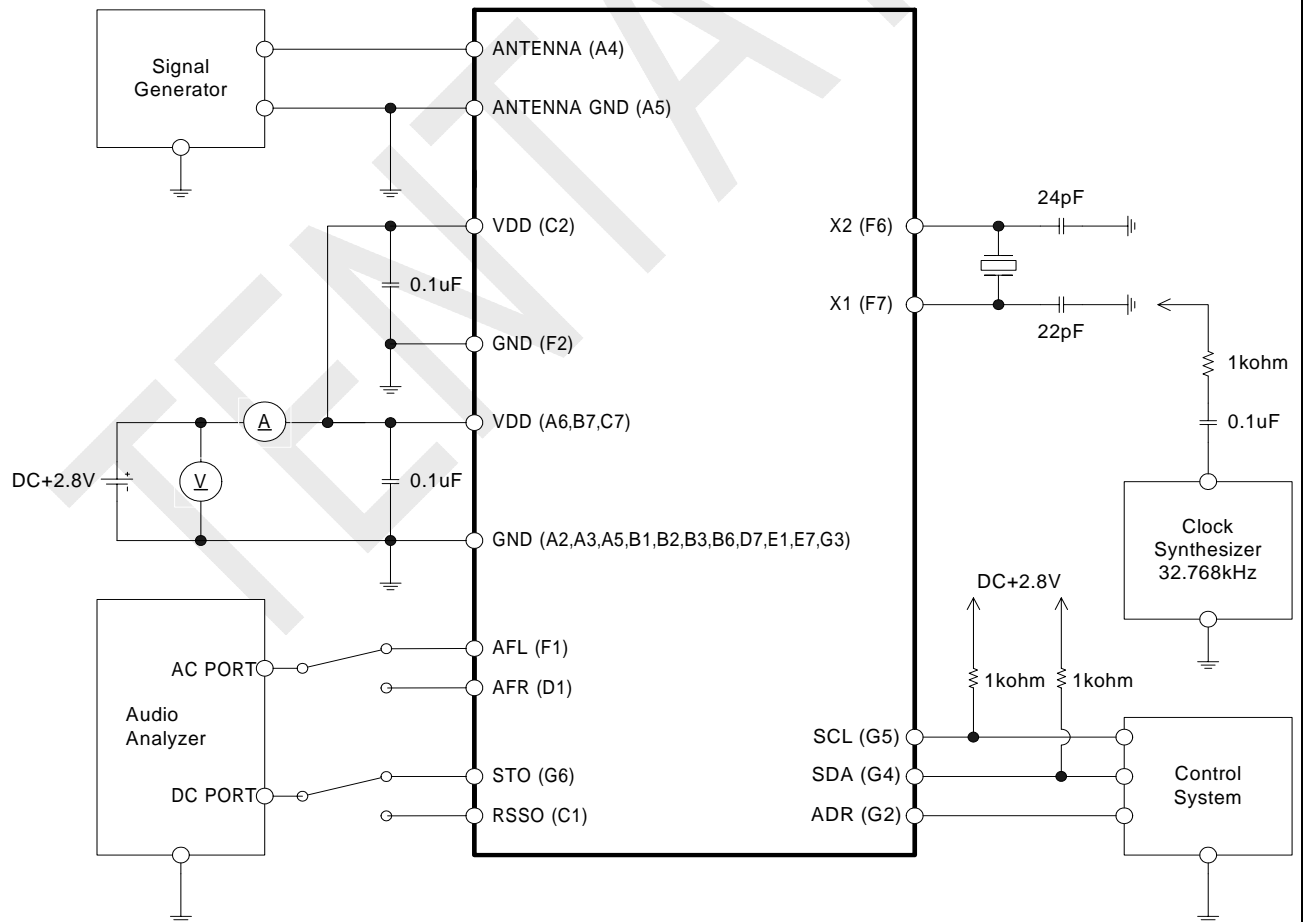
### 6.1. Standard Test Condition; 標準試験条件

No.	ITEM 項目	CONDITION 試験条件
1	Standard supply voltage 基準電源電圧	DC +2.8V +/- 0.05V
2	Temperature 温度	+25 +/- 5degC
3	Relative humidity 相対湿度	65 +/- 5%RH
4	Audio Filter フィルター	Unless designated, Filter is used. 指示の無い場合はフィルターを使用する HPF 100Hz LPF 15kHz PRE-LPF 20kHz (STEREO)
5	Loading at audio output オーディオ出力負荷	100kohm
6	Standard clock frequency 基準クロック周波数	32.768kHz (xtal or external clock stability +/-50ppm max.)

Test can be done within the following conditions, when it is considered not to affect test results. Temperature : +5degC to 35degC, Relative Humidity: 45 to 85%RH

但し、判定に疑義を生じない場合は温度+5 ~ +35degC、相対湿度 45 ~ 85%RH の範囲内で試験しても良いものとする。

### 6.2. Circuit of Measurement; 測定用接続図

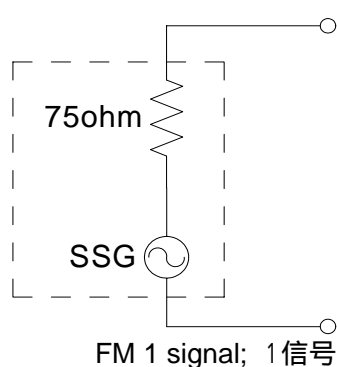


Electrical characteristics are results of measurements conducted by our original JIG.  
電気的特性は、弊社作製の治具によって測定されたものです。

## 6.3. Standard Input Signal; 標準入力信号

FM	Modulation frequency 変調周波数	1kHz
	Frequency deviation: MONO 変調周波数偏移 (モノラル)	22.5kHz
	Frequency deviation: STEREO 変調周波数偏移 (ステレオ)	67.5kHz+Pilot 7.5kHz
	Standard signal level 標準入力信号電圧	60dBuV EMF

## 6.4. Dummy Antenna; 擬似アンテナ



## 6.5. Electrical Characteristics Item; 電気的特性項目

VDD=2.8V+/-0.05V, Ta=25+/-5degC, fin=93MHz, fmod=1kHz, df=+/-22.5kHz  
HPF=100Hz, LPF=15kHz, Load=100kohm

ITEM 項目	CONDITION 試験条件	MIN. 最小値	TYP. 標準値	MAX. 最大値	UNIT 単位
Usable sense. 実用感度	(S+N)/N=30dB	-	12	20	dBuV EMF
SN ratio 信号対雑音比	Vin=60dBuV EMF df=+/-75kHz	50	60	-	dB
Harmonic distortion 歪率	Vin=60dBuV EMF	-	0.5	1.5	%
Separation ステレオ信号分離比	Vin=60dBuV EMF STEREO df=+/-67.5kHz + Pilot +/-7.5kHz PRE-LPF=20kHz	15	30	-	dB
Audio output level 出力レベル	Vin=60dBuV EMF	50	75	100	mVrms
Audio output level difference 出力レベル差	Vin=60dBuV EMF	-	-	3	dB
Supply current 消費電流	RF Input=off	-	8	11	mA
Stand by current スタンバイ電流		-	0.3	5.0	uA

## 7. Serial Interface(I<sup>2</sup>C-bus); シリアルインターフェース(I<sup>2</sup>C-bus)

NS953 transmits and receives data by I<sup>2</sup>C-bus that consists of two wires, a serial data line (SDA) and a serial clock line (SCL). Serial, 8-bit oriented, bi-directional data transfers can be made at up to 400 kbit/s in the Fast-mode. However, as the set-up time of data, 200nsec or more are necessary [refer to 7.6.]. Other devices connected to the same bus require more than 200nsec for data set-up time. It does not correspond to Hs-mode.

NS953 は、シリアル・データ・ライン(SDA)、シリアル・クロック・ライン(SCL)の 2 本のバス・ラインで構成される I<sup>2</sup>C-bus によって送受信を行います。8 ビットの双方向シリアル・データ転送を最高 400kbit/s (ファースト・モード)で行うことが可能です。但し、データ・セットアップ時間は 200n 秒以上必要となります[第 7.6 項を参照してください]。同じバスに接続される他のデバイスについてもデータ・セットアップ時間は 200n 秒以上が必要となります。Hs モードには対応していません。

### 7.1. I<sup>2</sup>C-bus Terminology; I<sup>2</sup>C で使用される用語

The terms of the following table are defined by I<sup>2</sup>C.

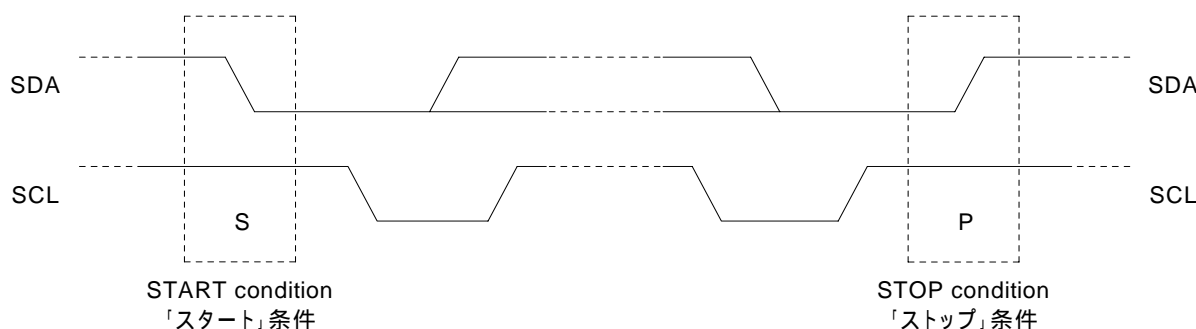
I<sup>2</sup>C では下記用語が定義されています。

TERM 用語	DESCRIPTION 説明
Transmitter トランスミッタ	The device which sends data to the bus データをバスに送信するデバイス
Receiver レシーバ	The device which receives data from the bus データをバスから受信するデバイス
Master マスター	The device which initiates a transfer, generates clock signals and terminates a transfer データ転送を開始し、クロック信号を生成し、データ転送を終了するデバイス
Slave スレーブ	The device addressed by a master マスターからアドレスを指定されるデバイス

### 7.2. START Condition and STOP Condition; 「スタート」条件と「ストップ」条件

START condition is surely needed for the beginning of data communications. STOP condition is surely needed for the end of data communications. The situation, a HIGH to LOW transition on the SDA line while SCL is HIGH, is referred to as START condition. Moreover, the situation, a LOW to HIGH transition on the SDA line while SCL is HIGH, is referred to as STOP condition.

データ通信の始まりには「スタート」条件が、終わりには「ストップ」条件が必ず必要となります。SCL が "H" のときに SDA ラインが "H" から "L" に変化する状況を「スタート」条件と呼びます。また、SCL が "H" のときに SDA ラインが "L" から "H" に変化する状況を「ストップ」条件と呼びます。





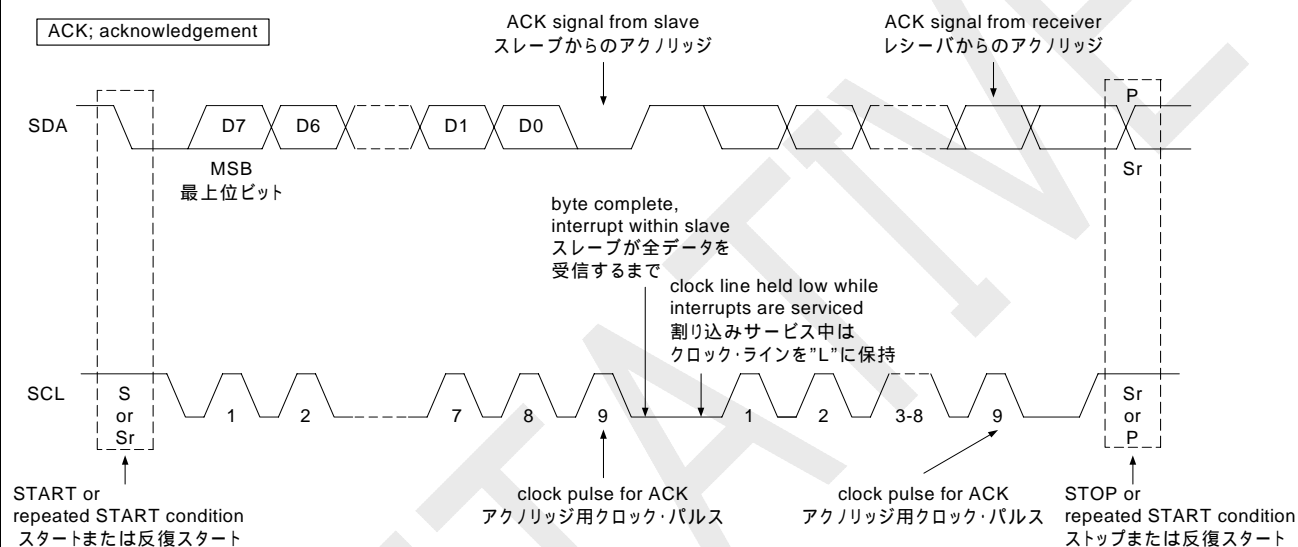
### 7.3. Data Transfer; データ転送

Every byte outputted on the SDA line must be 8-bits long. Each byte has to follow an acknowledge bit. Data is transferred from the most significant bit (MSB) first.

At data transfer, after the START condition (S), a slave address is sent. A data transfer is always terminated by the STOP condition (P) generated by the master.

SDAラインに出力される各バイトの長さは必ず8ビットになります。各バイトの後にはアックリッジ・ビットが必要となります。データは最上位ビット(MSB)から順に送信されます。

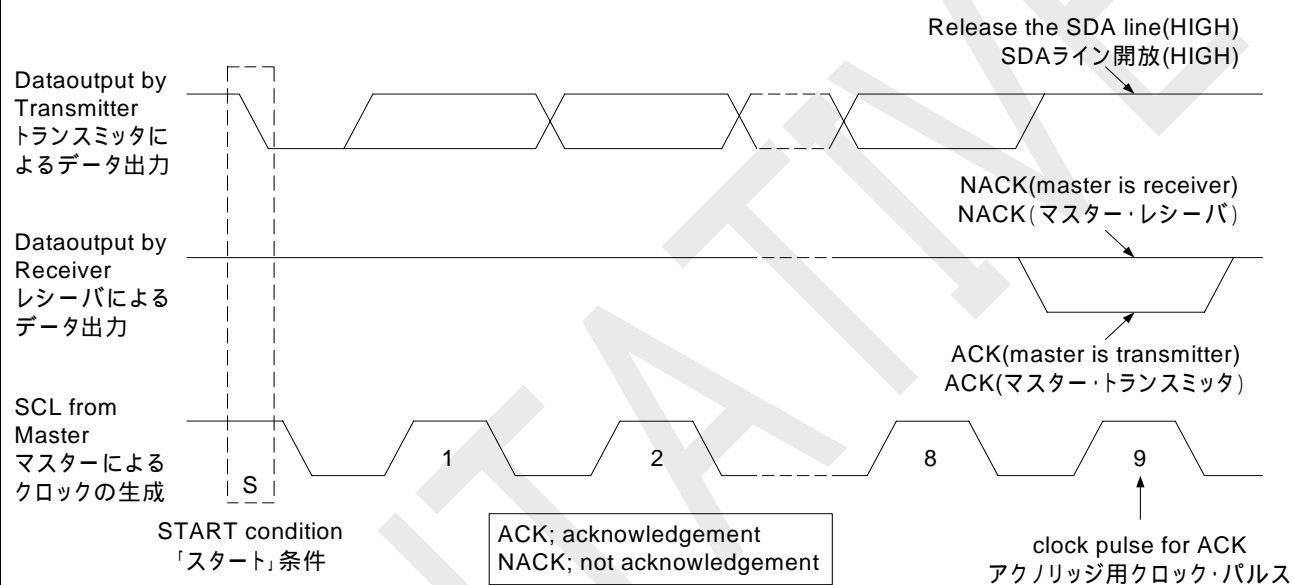
データ転送では、「スタート」条件(S)の後、スレーブのアドレスが送信されます。データ転送は必ずマスターが生成する「ストップ」条件(P)によって終了します。



#### 7.4. Acknowledge; アクノリッジ(受信確認)

When Acknowledge-related clock pulse is generated by the master, the transmitter releases the SDA line "HIGH" during the acknowledge clock pulse. The Receiver outputs "LOW" during the acknowledge clock pulse "HIGH" per reception of one byte (8bit data). If the master-receiver is involved in a transfer, it must signal the end of data to the slave-transmitter by not generating the acknowledge on the last byte which is sent out of the slave.

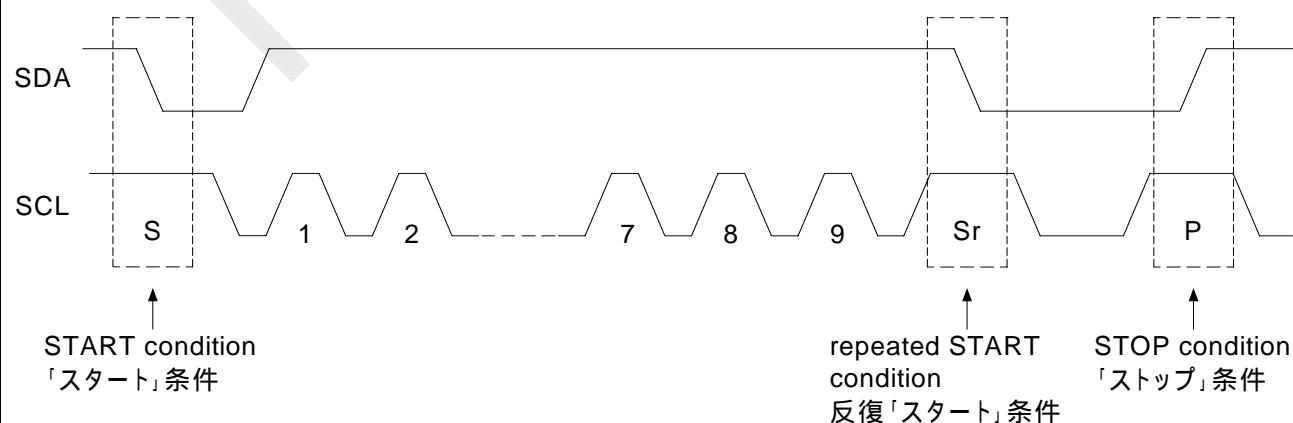
マスターによってアクノリッジ用クロック・パルスが生成された場合、トランスミッタは SDA ラインを開放します (SDA ラインは "H" 状態になります)。レシーバはデータを 1 バイト (8 ビット) 受信するごとにアクノリッジ・クロック・パルスが "H" 状態のときに、SDA ラインを "L" にします。マスターがレシーバとなる場合、スレーブから送信されたデータの終わりにアクノリッジをしないことでマスターはスレーブにデータの終わりを知らせます。



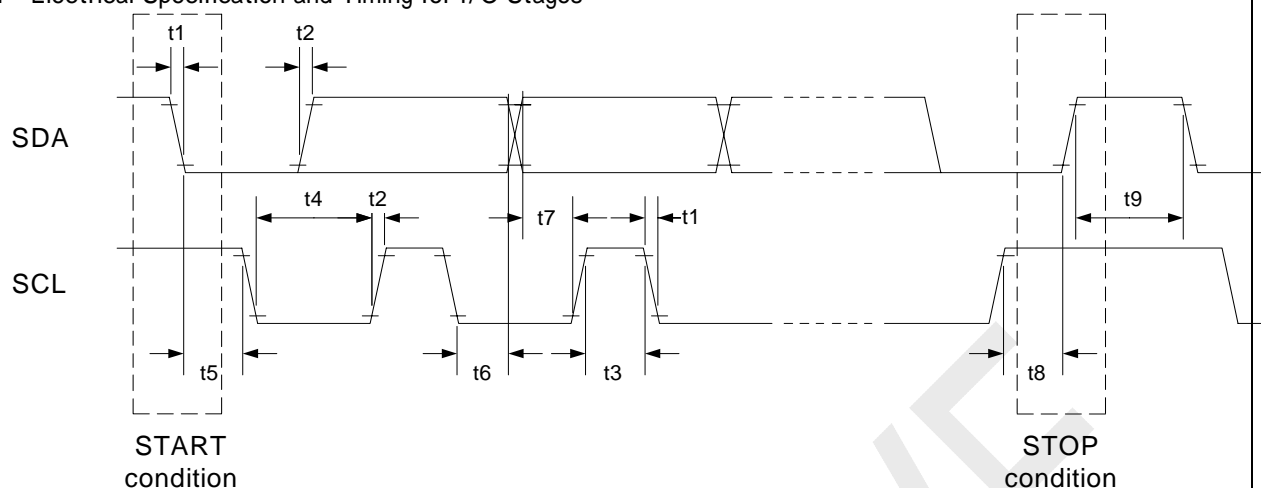
#### 7.5. Software reset; ソフトウェア・リセット

In order to avoid incorrect operation after starting power supply, input the following signal below. When communication discontinuation occurs (reset microcomputer, etc), the usual operation becomes possible by inputting the following signal below.

電源投入後、誤動作を回避するために下記信号を入力してください。また、通信中断(マイコンのリセット等)が発生した場合も下記信号を入力することで、通常の動作が可能となります。



## 7.6. Electrical Specification and Timing for I/O Stages



Characteristics of bus lines;  
バスラインの特性

ITEM 項目	SYMBOL 記号	STANDARD-MODE		FAST-MODE		UNIT 単位
		MIN. 最小値	MAX. 最大値	MIN. 最小値	MAX. 最大値	
SCL clock frequency SCL クロック周波数	$f_{SCL}$	0	100	0	400	kHz
Fall time of both SDA and SCL SDA、SCL 立下り時間	t1	-	300	$20+0.1C_b$	300	nsec
Rise time of both SDA and SCL SDA、SCL 立上り時間	t2	-	1000	$20+0.1C_b$	300	nsec
High time of SCL SCL "H" 時間	t3	4.0	-	0.6	-	usec
Low time of SCL SCL "L" 時間	t4	4.7	-	1.3	-	usec
Hold time for START condition 「スタート」条件保持時間	t5	4.0	-	0.6	-	usec
Hold time of Data データ保持時間	t6	5.0	-	0	0.9	usec
Set-up time of Data データ・セットアップ時間	t7	250	-	200 Note1	-	nsec
Hold time for STOP condition 「ストップ」条件セットアップ時間	t8	4.0	-	0.6	-	usec
Bus free time between a STOP and START condition 「ストップ」「スタート」間バスフリー時間	t9	4.7	-	1.3	-	usec
Capacitive load for each bus line バス・ライン容量性負荷	$C_b$	-	400	-	400	pF

Note1; Be sure to be satisfied.

## Serial Interface Voltage Level; シリアルインターフェース電圧レベル

ITEM 項目	MIN. 最小値	MAX. 最大値	UNIT 単位
High level input voltage High レベル入力電圧	0.7VDD	VDD	V
Low level input voltage Low レベル入力電圧	0.0	0.3VDD	V
Low level output voltage (open drain) at 3 mA sink current: Low レベル出力電圧(オープン・ ドレイン):シンク電流3mA 時			
VDD > 2 V	0.0	0.4	V
VDD < 2 V	0.0	0.2VDD	V

## 7.7. Definition of Bits in a Byte; 1 バイト内の各ビット定義

### 7.7.1. Slave Address; スレーブ・アドレス

Slave address consists of the fixed address 110010 (unique to the chip) and of the value set by the ADR pin. Therefore the ADR pin must be connected either with VDD or VSS. It is also possible to control as "LATCH IN". This address is 7 bits long followed by an eighth bit which is a data direction bit (R/W). When the data direction bit is "0", it indicates a transmission (WRITE). When the data direction bit is "1", it indicates a request for data (READ).

スレーブ・アドレスはチップ固有の固定アドレス"110010"と ADR 端子で設定される値で構成されます。したがって ADR 端子を必ず HIGH または LOW に接続して下さい。LATCH IN として制御することも可能です。8 ビット目にはデータ方向ビット(R/W)が続きます。このデータ方向ビットが"0"であれば送信(書き込み)、「1」であれば受信(読み込み)を行います。



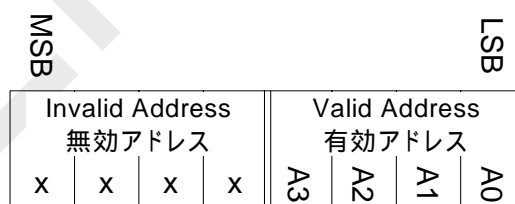
ADR	BIT
HIGH	1
LOW	0

R/W	BIT
READ	1
WRITE	0

### 7.7.2. Register Address; レジスタ・アドレス

The internal registers are 13 in full, so four bit data set at the MSB side are neglected.

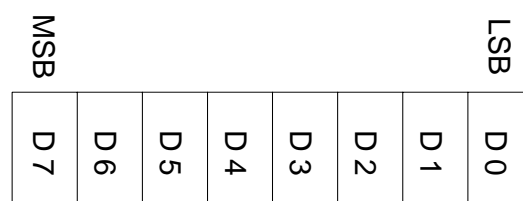
内部レジスタは全部で 13 個のため、MSB 側に設定された 4 ビットのデータは無効となります。



### 7.7.3. Register data; レジスタ・データ

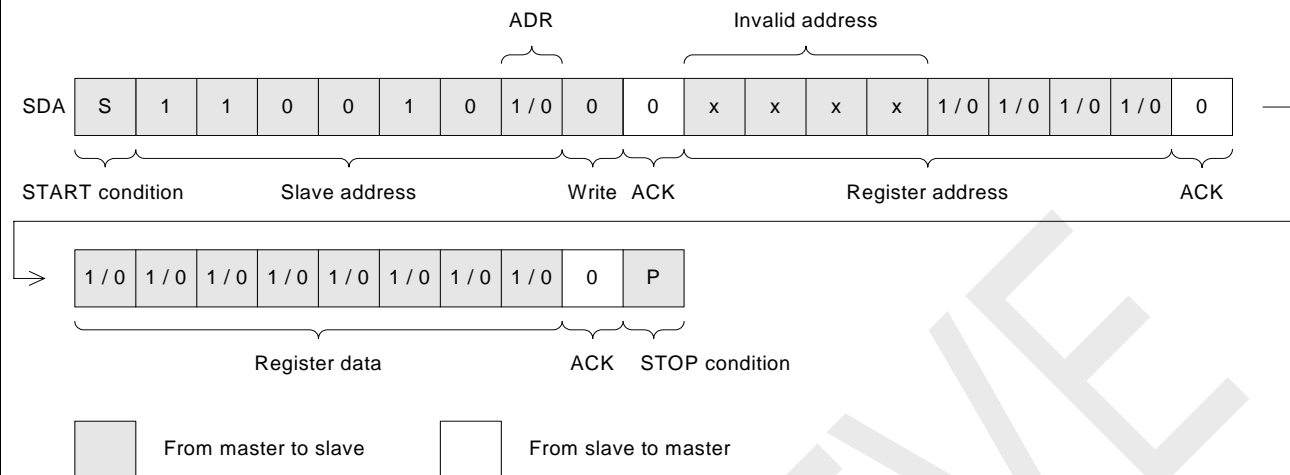
The data length of each register is 8 bit.

各レジスタのデータは 8 ビットで構成されています。

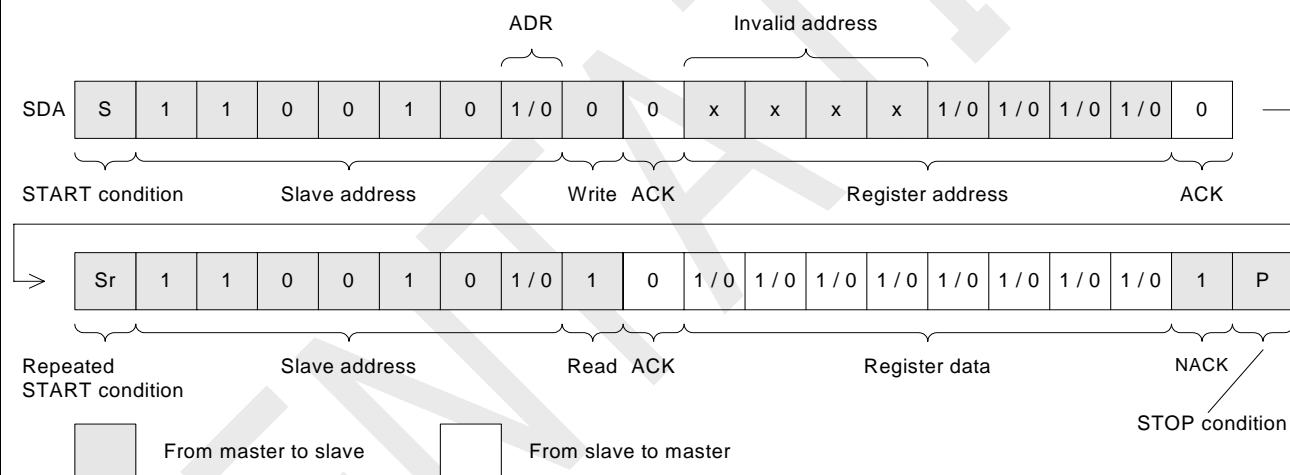


### 7.8. Command Format; コマンドフォーマット

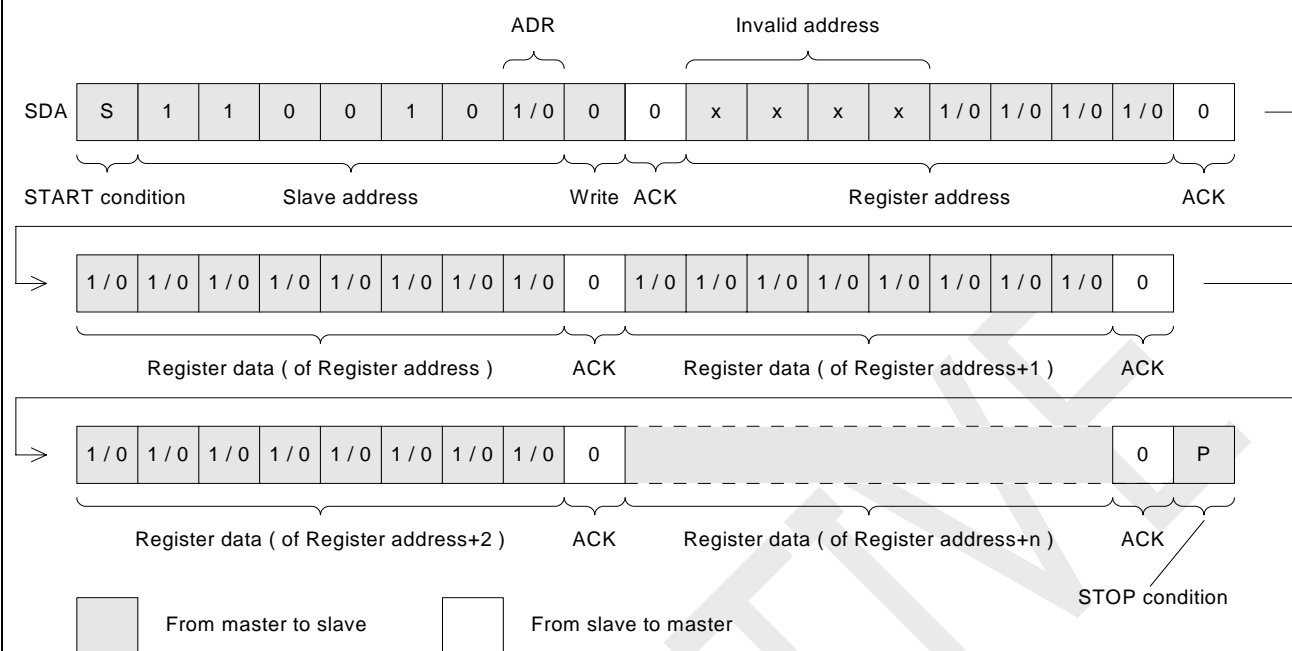
#### 7.8.1. Individual Register Data Writing; 個別レジスタ・データ書き込み



#### 7.8.2. Individual Register Data Reading; 個別レジスタ・データ読み込み



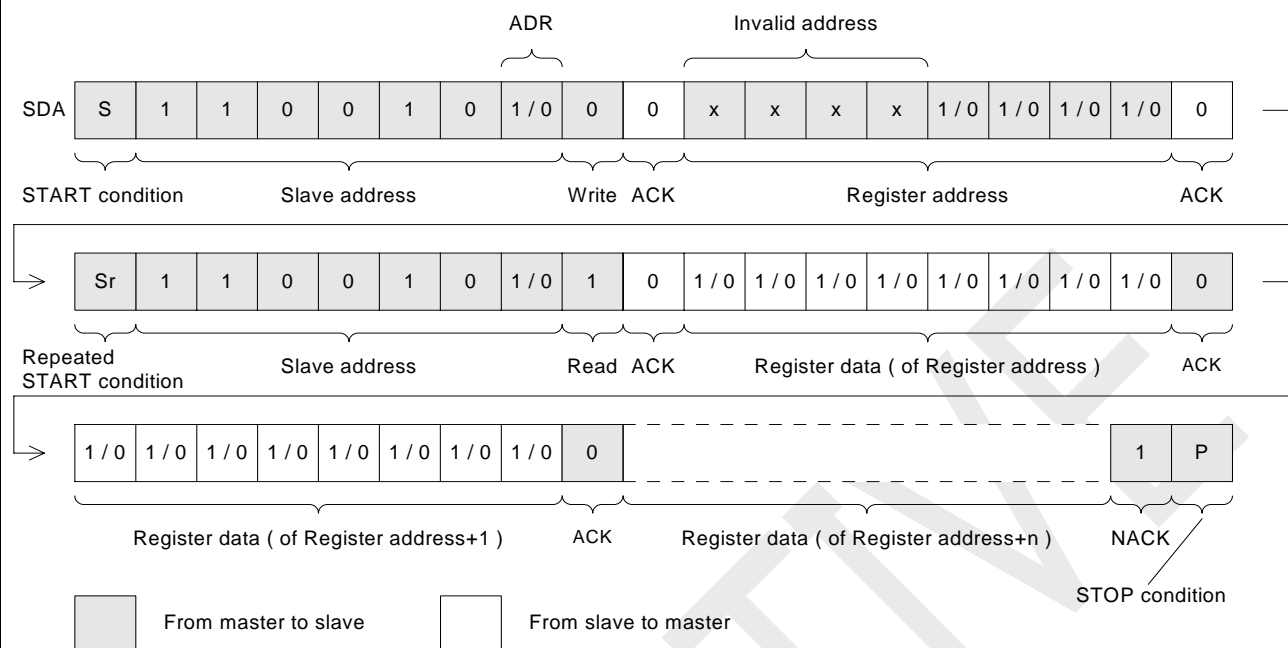
## 7.8.3. Continuous Register Data Writing; 連続レジスタ・データ書き込み



By continuously transmitting data after the transmission of the initial setting address data of the register data writing sequence, a data can be written in the continuous register address area. This register address will increase one by one against the initial setting address of the sequence and will keep increasing until the "stop condition" is issued.

レジスタ・データの書き込みシーケンスの初期設定アドレス・データ送信後にデータを送信し続けることで、連続したレジスタ・データ領域にデータを書き込みことが可能です。この場合のレジスタ・アドレスはシーケンスの初期設定アドレスに対して1番地ずつ増加し、「ストップ」条件(P)が発生するまで増加します。

## 7.8.4. Continuous Register Data Reading; 連続レジスタ・データ読み込み



By “Master” returning ACK (0 data) after the readout of the first register address data of the readout sequence, the register address will increase one by one, and it is possible to continuously read data associated with each register address. When Master does not return ACK (0 data), the register address does not increase.

読み出しシーケンス最初のレジスタ・アドレス・データの読み出し後にマスターが ACK (0 データ)を返す事でレジスタ・アドレスが 1 番地ずつ増加し、各レジスタ・アドレスに対応したデータを連続して読み出す事が可能です。マスターが ACK(0 データ)を返さないときは、レジスタ・アドレスは増加しません。

## 8. Software Control Specification; ソフトウェア制御仕様

### 8.1. Set Register(outline); レジスタ設定 (概要)

Set all register (R0 to R13) to the "INITIAL" figures (refer to Register Map) when turning IC power ON. Especially set PE (R0 register) OFF first when turning IC power ON. When IC power is ON, set all register (R0 to R13) to the "INITIAL" figures (refer to Register Map) before setting PE (R0 register) to 1, since each register is unfixed. Please see register map for details. Set the "INITIAL" figure of the register map where the frame of the map is colored. Set the register figure on your own for uncolored frames.

IC 電源 ON 時は、全てのレジスタ(R0～R13)をレジスタマップの初期値に設定して下さい。特に PE(R0 レジスタ)は、電源投入時は必ず 0 に設定して下さい。電源 ON 時は、各レジスタ値が不定ですので PE を 1 に設定する前に全レジスタを初期値に設定して下さい。レジスタの詳細は、レジスタ MAP を参照して下さい。レジスタ MAP の色枠のレジスタは、必ず初期値を設定して下さい。レジスタ MAP の白枠のレジスタは、お客様で設定して頂くレジスタです。

### 8.2. Standard Clock; 基準クロック

(1) When using a xtal oscillator, use one that the frequency stability is within +/-50ppm. 水晶発振の場合、安定度 +/-50ppm の水晶振動子を使用して下さい。

Referenced xtal

Maker	Model	F[kHz]	CL[pF]	R1[kohm]	Co[pF]	C1[fF]
CITIZEN	CMR200T	32.768	12.5	35 max.	1.35 typ.	3.0 typ.

(2) When using an external clock, couple a capacitor and a resistor to the X1(F7) pin of the module for clock input. Keep the input level of the clock between MIN.=0.4[Vp-p] to MAX.=VDD [Vp-p]. Frequency stability is +/-50ppm max.

外部クロックの場合、X1(F7)端子にコンデンサと抵抗でカップリングして入力して下さい。クロックの入力レベルは、MIN=0.4[Vpp] ~ MAX=VDD[Vpp]、安定度は +/-50ppm 以内として下さい。

### 8.3. PLL Setting Method; PLL (PCNT レジスタ) 設定方法

NS953M-36 can switch from the Upper of the super heterodyne method to the Lower, according to the receiving state (the opposite as well).

PLL dividing value : PCNT(R1, R2 resister) setting method

Lower: PCNT = (Receiving freq. - Intermediate freq. 375kHz) / 8.192kHz

(e.g.) Receiving freq. 76MHz.

$$\text{PCNT} = (76000\text{kHz} - 375\text{kHz}) / 8.192\text{kHz} = 9231.6 = 9231 \text{ (round the decimal places down)}$$

$$= 240\text{Fh (hexadecimal number)}$$

Upper: PCNT = (Receiving freq. + Intermediate freq. 375kHz) / 8.192kHz

(e.g.) Receiving freq. 76MHz.

$$\text{PCNT} = (76000\text{kHz} + 375\text{kHz}) / 8.192\text{kHz} = 9323.1 = 9324 \text{ (round the decimal places up)}$$

$$= 246\text{Ch (hexadecimal number)}$$

NS953M-36 は受信状態に応じて、スーパーヘテロダイン方式の Upper と Lower を切り替えることができます。

PLL 分周値 : PCNT(R1,R2 レジスタ)設定方法

Lower: PCNT = (受信周波数 - 中間周波数 375kHz) / 8.192kHz

(例) 受信周波数 76MHz のとき

$$\text{PCNT} = (76000\text{kHz} - 375\text{kHz}) / 8.192\text{kHz} = 9231.6 = 9231 \text{ (小数点切り捨て)}$$

$$= 240\text{Fh (16 進)}$$

Upper: PCNT = (受信周波数 + 中間周波数 375kHz) / 8.192kHz

(例) 受信周波数 76MHz のとき

$$\text{PCNT} = (76000\text{kHz} + 375\text{kHz}) / 8.192\text{kHz} = 9323.1 = 9324 \text{ (小数点切り上げ)}$$

$$= 246\text{Ch (16 進)}$$



DESTINATION 仕向地	RECEIVING FREQ. 受信周波数[MHz]		FREQ. STEP 周波数ステップ [MHz]	PCNT				PCNT STEP PCNT ステップ
	MIN. 最小値	MAX. 最大値		Lower R6[0]=0		Upper R6[0]=1		
				MIN. 最小値	MAX. 最大値	MIN. 最小値	MAX. 最大値	
USA 米国	88.1	107.9	0.2	29D4h	3345h	2A31h	33A2h	24 or 25
Europe 欧州	87.5	108.0	0.05	298Bh	3351h	29E7h	33AEh	6 or 7
Japan 日本	76.0	90.0	0.1	240Fh	2ABCh	246Ch	2B19h	12 or 13
	95.75 : TV1ch		Preset プリセット	2D7Ah		2DD6h		-
	101.75 : TV2ch			3056h		30B3h		-
	107.75 : TV3ch			3333h		338Fh		-

#### 8.4. LOBIAS Setting Method; LOBIAS レジスタ設定方法

Change the LOBIAS (R7 register) as shown in the following table, according to the receiving frequency.

LOBIAS(R7 レジスタ)は受信周波数によって下記表のように変更させてください。

RECEIVING FREQ. 受信周波数[MHz]	LOBIAS
76 to 93.95	4
94 to 99.95	3
100 to 108	2

### 8.5. STO Output Terminal; STO 端子出力

For I<sup>2</sup>C-bus readout, R8[7] register corresponds to STO output. There is also an output from the STO terminal.

Select STO output signal according to the SWSTD (R0 resister),

- (1) When SWSTD=1, stereo determination is outputted.  
When stereo, STO output=High
- (2) When SWSTD=2, IF count determination is outputted.  
When the IF count is within +/- 30kHz by IF frequency and RSSI=High, STO output=High. Note1.
- (3) When SWSTD=3, RSSI determination is outputted.  
When the RSSI level is higher than the set value of SDREG (R3 register), STO output=High
- (4) When SWSTD=5, IF count determination is outputted.  
When the IF count is upper than IF frequency and RSSI=High, STO output=High. Note2.
- (5) When SWSTD=6, IF count determination is outputted.  
When the IF count is lower than IF frequency and RSSI=High, STO output=High. Note3.

Note1,2,3

When IFCST (R0 register) is set to 1, IF count will start. When IF count is completed, IFCST (R0 register) will be automatically set to 0. Do not write in registers between 1msec after setting IFCST (R0 register) to 1. When IFCST (R0 register) is set to 1, write only in R0 register without using "Continuous Register Data Writing".

I<sup>2</sup>C バスの読み出しで R8[7]レジスタが STO 出力に対応します。又、STO 端子からも出力されます。

SWSTD (R0 レジスタ) によって、STO 出力信号を選択します。

- (1) SWSTD=1 の時、ステレオ判定出力  
ステレオの場合、STO 出力=High
- (2) SWSTD=2 の時、IF カウント判定出力  
IF カウントが IF 周波数 +/-30kHz 以内で且つ RSSI 判定=High の場合、STO 出力=High。注1。
- (3) SWSTD=3 の時、RSSI 判定出力  
SDREG (R3 レジスタ) の設定値以上の RSSI レベルの場合、STO 出力 = High
- (4) SWSTD=5 の時、IF カウント判定出力  
IF カウントが IF 周波数より高く且つ RSSI 判定=High の場合、STO 出力=High。注2。
- (5) SWSTD=6 の時、IF カウント判定出力  
IF カウントが IF 周波数より低く且つ RSSI 判定=High の場合、STO 出力=High。注3。

注1、2、3

IFCST (R0 レジスタ) を 1 にすると IF カウントがスタートします。IF カウントが完了すると IFCST レジスタは自動的に 0 になります。IFCST (R0 レジスタ) を 1 にした後、1msec 間はレジスタの書き込みを行わないで下さい。IFCST (R0 レジスタ) を 1 にする場合は「連続データ書き込み」は使用しないで R0 レジスタのみに書き込んで下さい。

STO Output Voltage Level; STO 出力電圧レベル

ITEM 項目	MIN. 最小値	MAX. 最大値	UNIT 単位
High level output voltage High レベル出力電圧	0.8VDD	VDD	V
Low level output voltage Low レベル出力電圧	0.0	0.2VDD	V

## 8.6. Register Map; レジスタマップ

Colored frames indicate the registers that must be set "INITIAL".

網掛けしたレジスタは初期値を設定してください。

REGISTER	NAME	CONTENTS	SELECTION	ADDRESS				DATA								INITIAL (Hex)
				A 3	A 2	A 1	A 0	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0	
R0	PE	Power SW	OFF	0	0	0	0	x	x	x	x	x	x	x	0	0
			ON					x	x	x	x	x	x	x	1	
	MUTE	Mute	OFF					x	x	x	x	x	x	0	x	0
			ON					x	x	x	x	x	x	1	x	
	IFCST	IF count trigger	OFF					x	x	x	x	x	0	x	x	0 Note1
			ON					x	x	x	x	x	1	x	x	
	MOST	Forced monaural	Stereo					x	x	x	x	0	x	x	x	0
			Mono					x	x	x	x	1	x	x	x	
	SWSTD	STDO output	Stereo judgment					0	0	0	1	x	x	x	x	1
			IF count judgment					0	0	1	0	x	x	x	x	
			RSSI judgment					0	0	1	1	x	x	x	x	
			J <sub>U</sub> judgment					0	1	0	1	x	x	x	x	
		J <sub>L</sub> judgment	0	1	1	0	x	x	x	x						
R1	PCNT	PLL synthesizer program		0	0	0	1								240F Note2 Note3	
R2			XSEL	Xtal freq.	32.768kHz	0	0	1	0	x	1	x	x	x	x	x
	FSEL	SYNTHE reference freq.	8.192kHz					1	x	x	x	x	x	x	1	
R3	DEMP	De-emphasis	75us (US)	0	0	1	1	x	x	x	x	x	x	x	0	1
			50us (Europe /Japan)					x	x	x	x	x	x	x	1	
	PESNC	SNC OFF/ON	ON					x	x	x	x	x	x	1	x	1
	PEHCC	HCC OFF/ON	ON					x	x	x	x	x	1	x	x	1
	SDREG	SEEK judgment level	0 to 15					x	0	1	1	0	x	x	x	6
	ACNT	For test	-					0	x	x	x	x	x	x	x	0
R4	SMTREG	Soft mute start point	-	0	1	0	0	x	x	x	x	1	0	0	0	8
	SNCREG	SNC start point	-	1	1	0	1	x	x	x	x	x	x	D		
R5	HCCREG	HCC start point	-	0	1	0	1	x	x	x	x	x	1	0	1	5
	SEP	For test	-	0	1	0	1	0	1	0	1	1	x	x	x	B
R6	SLCTLO	Select LO	Lower LO	0	1	1	0	x	x	x	x	x	x	x	0	0
			Upper LO					x	x	x	x	x	x	x	1	
	AGR	For test	-					x	x	x	x	1	0	0	x	4
	IF AGR	For test	-					x	x	x	0	x	x	x	x	0
				1	0	0	x	x	x	x	x	4				

REGISTER	NAME	CONTENTS	SELECTION	ADDRESS				DATA								INITIAL (Hex)
				A 3	A 2	A 1	A 0	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0	
R7	LOBIAS	For test	-					x	x	x	x	x	1	0	0	4
	TRMGGM	For test	-	0	1	1	1	x	1	0	0	1	x	x	x	9
	BPFTST	For test	-					0	x	x	x	x	x	x	x	0
R8	DEMODR	For test	-					x	x	x	x	x	x	0	1	1
								x	x	x	x	x	0	x	x	0
	RMXG	For test	-	1	0	0	0	x	x	0	0	1	x	x	x	1
	PDETD	For test	-					x	0	x	x	x	x	x	x	0
	PDETTST	For test	-					0	x	x	x	x	x	x	x	0 Note4
R9	PDOFFDLY	For test	-					x	x	x	x	x	x	0	1	1
	PDR	For test	-	1	0	0	1	x	x	x	0	1	1	x	x	3
	PDBGGR	For test	-					0	1	0	x	x	x	x	x	2
R10	BGRTST	For test	-					x	x	x	x	x	x	x	0	0
	Reserved	For test	-					x	x	x	x	x	0	0	x	0
	MPLJS	For test	-	1	0	1	0	x	x	x	0	1	x	x	x	1
	MPLJH	For test	-					x	0	1	x	x	x	x	x	1
	MPLTBSE	For test	-					0	x	x	x	x	x	x	x	0
R11	MPLMODE	For test	-					x	x	x	x	x	x	0	0	0
	MPLISMP	For test	-	1	0	1	1	x	x	x	0	1	1	x	x	3
	MPLVCOG	For test	-					1	0	0	x	x	x	x	x	4
R12	J	For test	-					x	x	x	x	x	x	x	0	0
	Reserved	For test	-					x	x	x	x	x	x	0	x	0
	CI	For test	-	1	1	0	0	x	x	x	x	0	1	x	x	1
	MPLVCIN	For test	-					x	x	x	0	x	x	x	x	0
	Reserved	For test	-					0	0	0	x	x	x	x	x	0
R13	MPLFV	For test	-	1	1	0	1	0	0	0	0	0	0	0	0	0

Note1 : After setting ON, automatically turns OFF.

ON 設定後、自動的に OFF となります。

Note2 : Lower:  $PCNT = (\text{Receiving freq.} - 375\text{kHz}) / 8.192\text{kHz}$

$PCNT = (\text{受信周波数} - 375\text{kHz}) / 8.192\text{kHz}$

Upper:  $PCNT = (\text{Receiving freq.} + 375\text{kHz}) / 8.192\text{kHz}$

$PCNT = (\text{受信周波数} + 375\text{kHz}) / 8.192\text{kHz}$

Note3 ; In the case of PCNT=9231 (for example) .

Change a decimal numbers to a binary-coded form.

PCNT=9231 の場合

10 進数を 2 進数へ変換する。

9231 10010000001111 (=R2[5], ..., R2[0], R1[7], ..., R1[0])

R1		PLL synthesizer program		0	0	0	1	0	0	0	0	1	1	1	1	
R2	PCNT							x	x	1	0	0	1	0	0	
	XSEL	Xtal freq.	32.768kHz	0	0	1	0	x	1	x	x	x	x	x	x	1
	FSEL	SYNTH reference freq.	8.192kHz					1	x	x	x	x	x	x	x	1

Note4 ; On readout, output STO data.

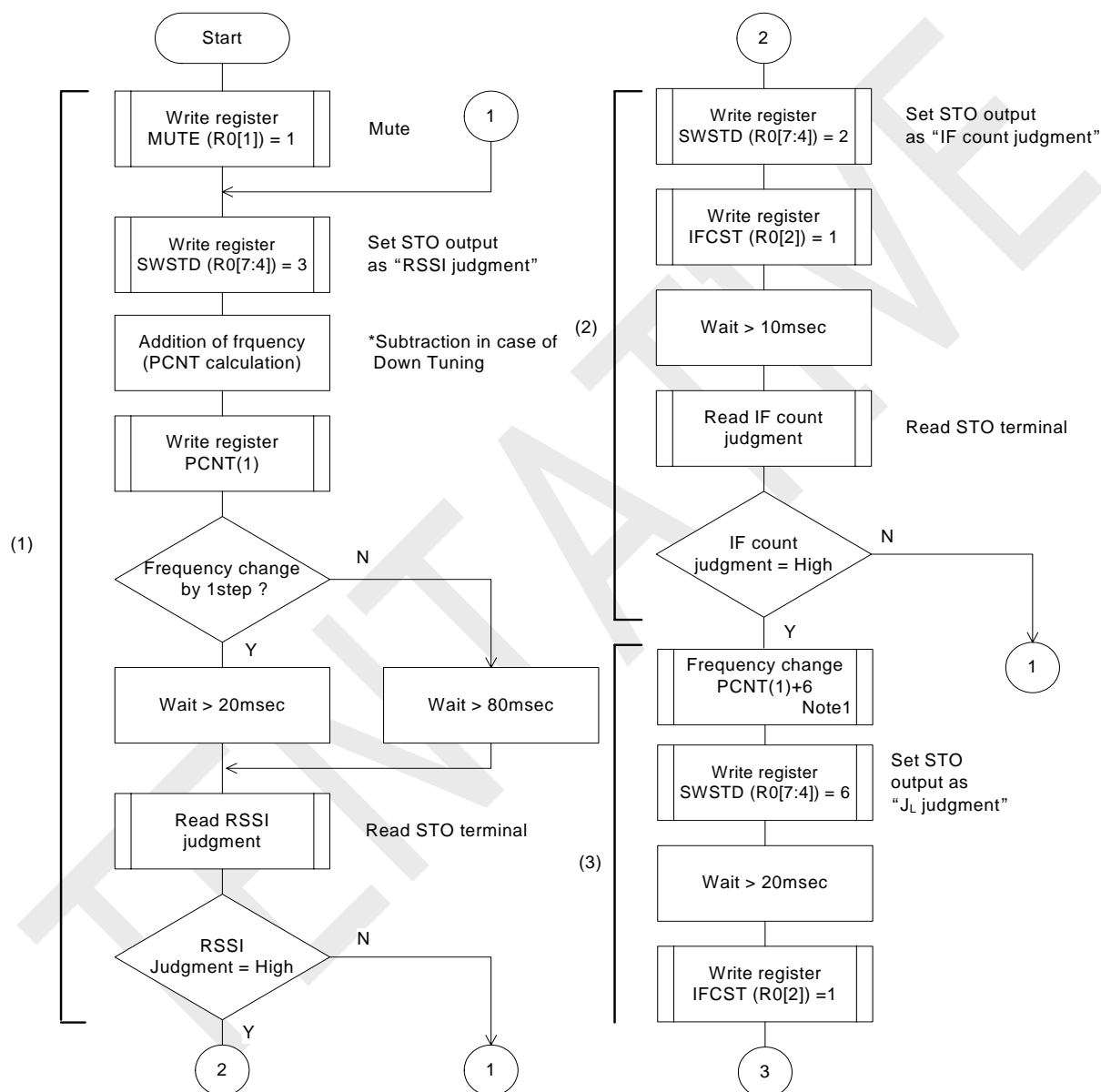
## 8.7. SEEK control sequence (example ; Lower LO); SEEK 制御シーケンス例 (Lower LO)

First, whether a broadcast wave is near the setup frequency or not will be judged (RSSI judgment).

Second, whether the IF frequency is 375kHz (the aimed frequency) or not will be judged (IF count judgment).

第一に設定した周波数付近に電波があるかどうかの判定を行います (RSSI判定)。

第二に IF 周波数 375kHz の所望電波かどうかの判定を行います (IFカウント判定)。



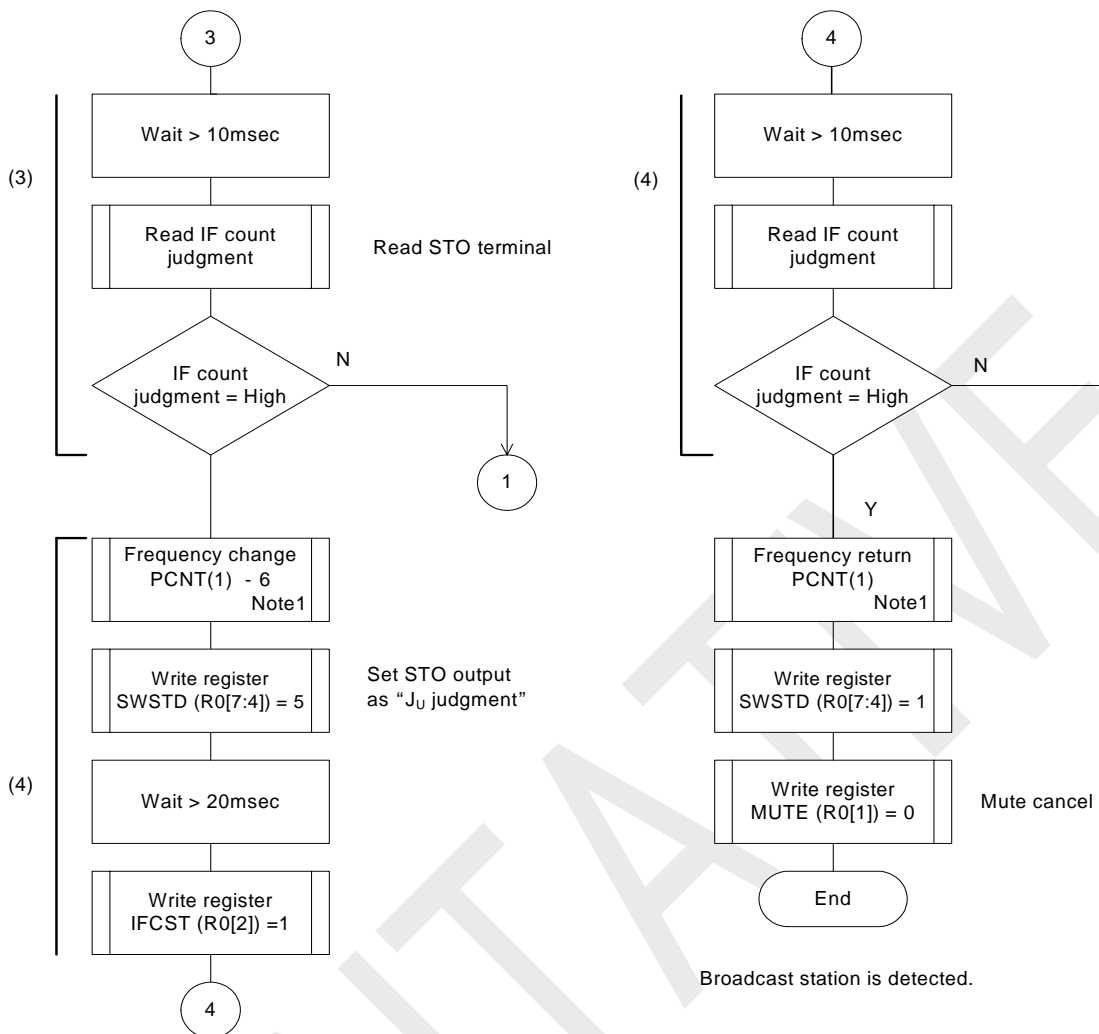
Note :

PCNT(1) is the PCNT value set up at (1) process.

PCNT(1)は(1)工程にて設定されたPCNT値です。

Lower LO : at (3) process PCNT(1)+6

Upper LO : at (3) process PCNT(1)-6

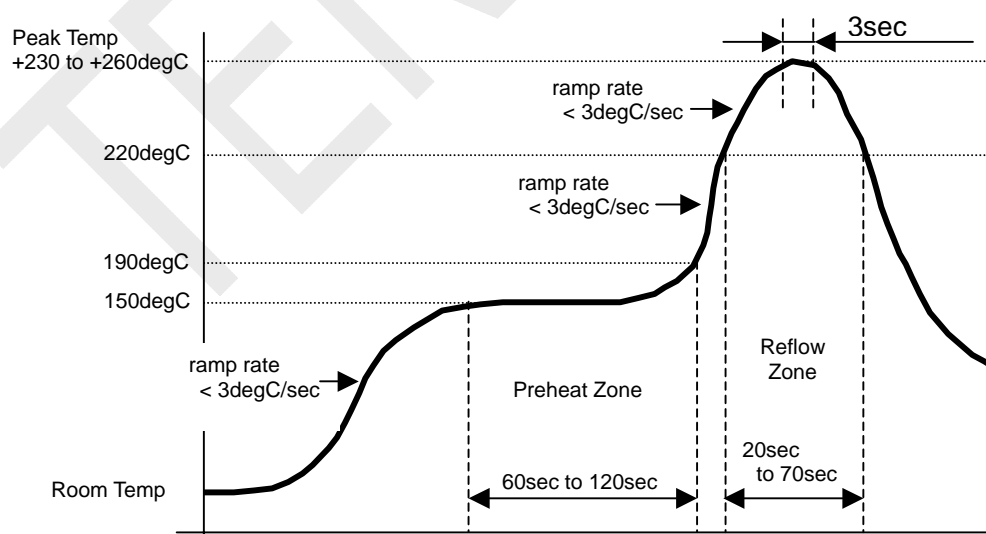


Note :  
 PCNT(1) is the PCNT value set up at (1) process.  
 PCNT(1)は(1)工程にて設定されたPCNT値です。  
 Lower LO : at (4) process PCNT(1)-6  
 Upper LO : at (4) process PCNT(1)+6

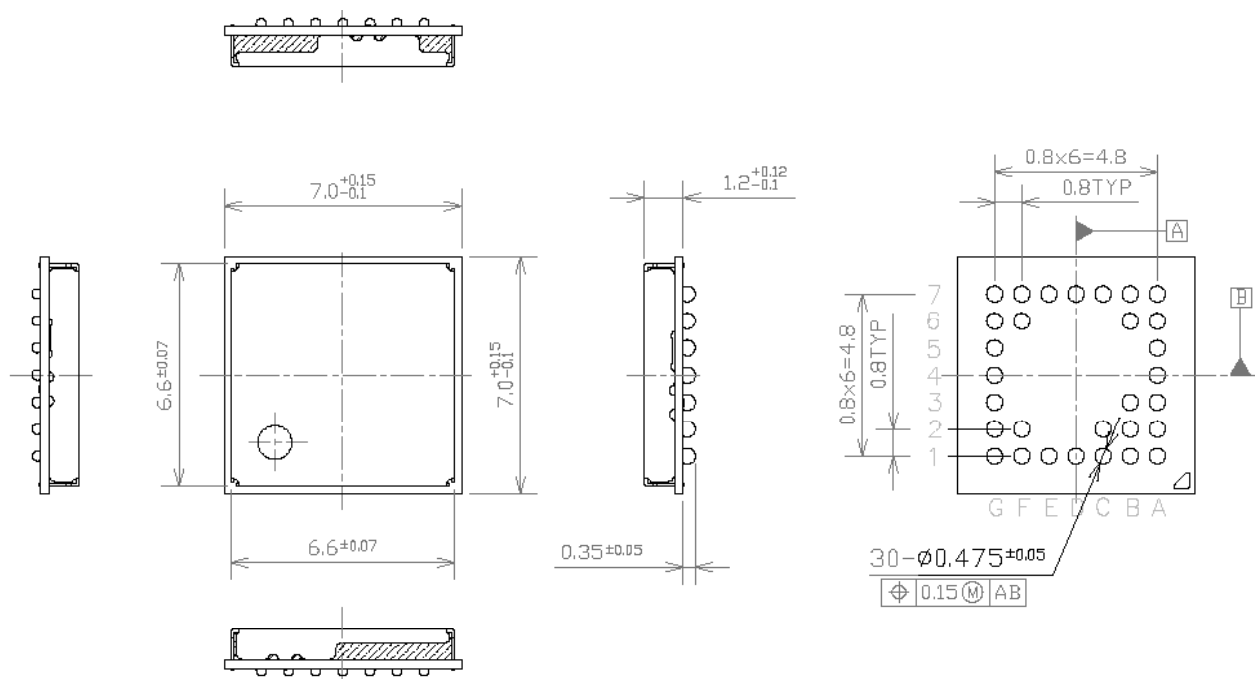
### 9. Reliability Test Conditions; 信頼性試験項目

No.	ITEM 項目	CONDITION 試験条件
1	High/Low temperature storage 高低温保存試験	To meet the electrical characteristic specifications without a damage in the external appearance after letting samples expose to temperature -40degC and +85degC for each 500 hours, then under room temperature and normal humidity for 2 hours. 温度-40degC 及び+85degC にて各 500 時間放置した後、常温常湿に 2 時間放置した時、外観に異常なく電気的規格を満足する事。
2	Temperature and humidity bias 高温高湿ハイス試験	To meet the electrical characteristic specifications without a damage in the external appearance after letting samples expose to temperature +70degC and humidity 85% for 500 hours (VDD=3.4V burn-in), then under room temperature and normal humidity for 2 hours. 温度+70degC 湿度 85% にて 500 時間 VDD=3.4V 通電放置した後、常温常湿に 2 時間放置した時、外観に異常なく電気的規格を満足する事。
3	Thermal shock 熱衝撃試験	To meet the electrical characteristic specifications without a damage in the external appearance, after letting samples expose to a 100 cycle execution of a cycle defined as: -55degC for 5 min, transfer time for less than 5min and +125degC for 5 min; then under room temperature and normal humidity. -55degC に 5 分間、移動時間 5 分以内、+125degC に 5 分間を 1 サイクルとし、100 サイクル実施後、常温常湿に戻した時、外観に異常なく電気的規格を満足する事。
4	Vibration 振動試験	To meet the electrical characteristic specifications without a damage in the external appearance, after vibration range of 100 ~ 2000Hz, sweeping time 4minutes(round-trip), acceleration of 20G, vibration applied for 48 minutes. 振動数範囲 100 ~ 2000Hz、往復掃引 4 分、加速度 20G を 48 分加えた時、外観に異常なく電気的規格を満足する事。

### 10. PbFREE Solder Reflow Profile; 鉛フリー・リフロープロファイル



### 11. Outer Dimension and Terminals for Connection; 外形寸法及び外部接続端子



Fill up BGA under fill when mounting the module.  
 実装時はBGAのアンダーフィル材を充填してください。

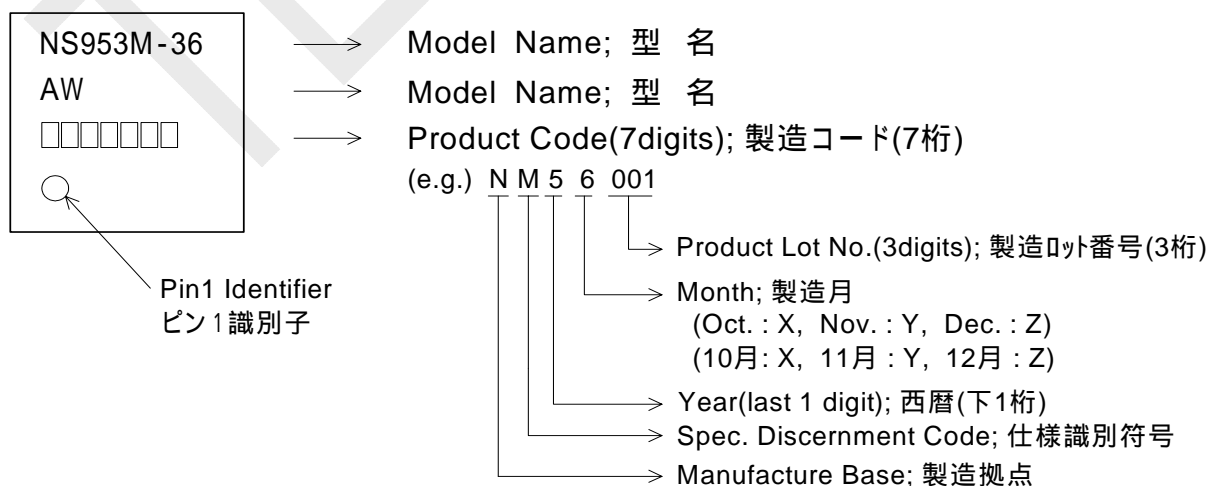
The BGA land shape is NSMD.  
 BGA ランド形状は NSMD です。

- [Materials] Case : Nickel silver (C7701)  
 Base : Glass epoxy  
 Terminal : Pb free solder ball
- [材質] ケース : 洋白 (C7701)  
 基板 : ガラスエポキシ  
 端子 : 鉛フリー半田ボール

UNIT : mm

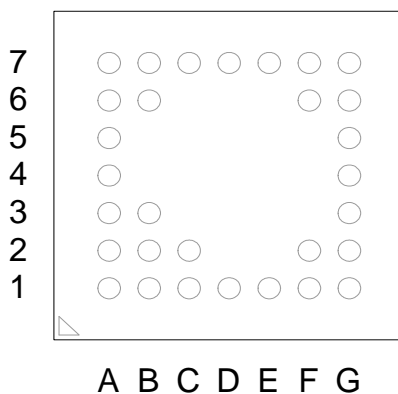
### 12. Marking; 表示

Marking is performed with laser.  
 表示はレーザー彫刻にて行う。





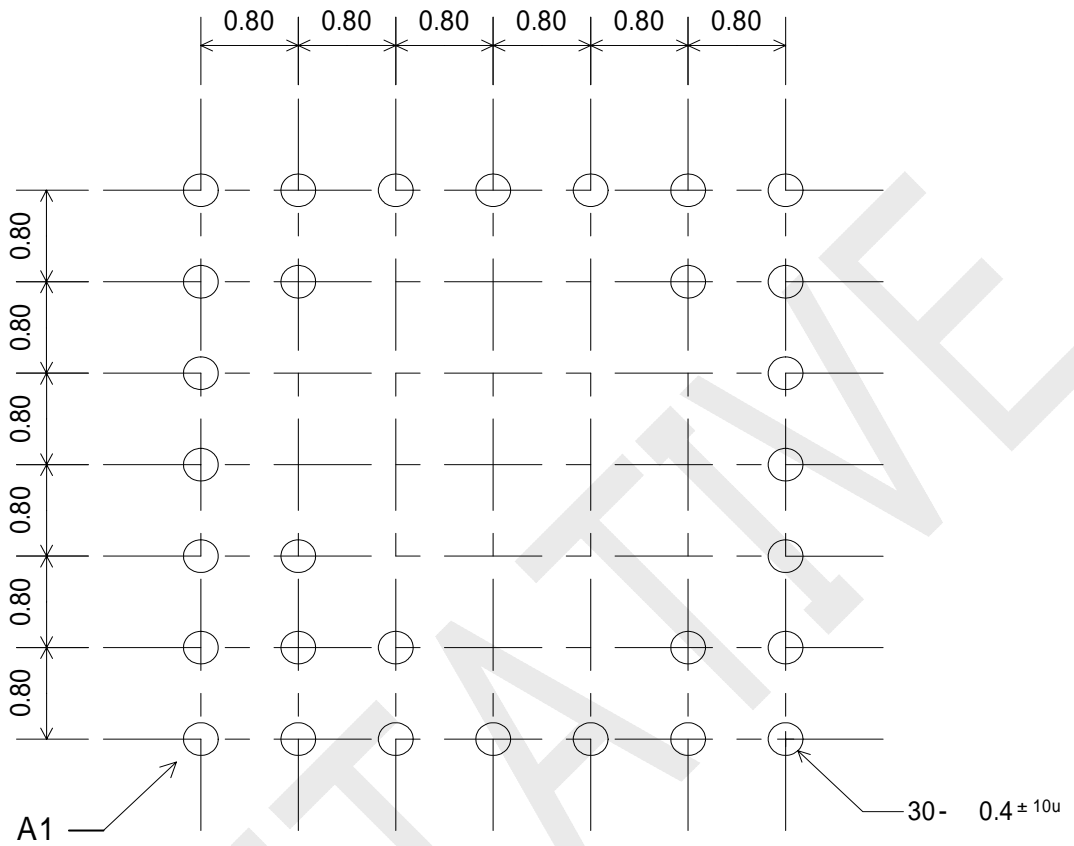
### 13. Assignment of Pins; ピン配置



Top Through View

PIN NO.	PIN NAME	DESCRIPTION
A1	NC	No Connection
A2	GND	GND
A3	GND	GND
A4	ANT	Antenna input (75ohm)
A5	GND	GND
A6	VDD	VDD
A7	NC	No Connection
B1	GND	GND
B2	GND	GND
B3	GND	GND
B6	GND	GND
B7	VDD	VDD
C1	RSSO	RSSI output
C2	VDD	VDD(Digital)
C7	VDD	VDD
D1	AFR	Audio Output RIGHT
D7	GND	GND
E1	GND	GND
E7	GND	GND
F1	AFL	Audio Output LEFT
F2	GND	GND(Digital)
F6	X2	Crystal oscillator input2
F7	X1	Crystal oscillator input1 (32.768kHz clock input)
G1	NC	No Connection
G2	ADR	IIC address select
G3	GND	GND
G4	SDA	Serial Data Input
G5	SCL	Serial Clock Input
G6	STO	Status Output
G7	NC	No Connection

14. Recommended foot pattern; 推奨フットパターン



Top View

## 15. Appearance Specification; 外観規格

### 15.1. Marking; 表示

- (1) As for marking disappearance and partial marking lack, if the contents can be deciphered, the defect will be unquestioned.  
表示の消え、欠けについて、表示内容が判読可能なものは不問とする。
- (2) As for a position gap of marking, it should not overflow from a shield case.  
表示の位置ズレについては、シールドケースよりはみ出さないこと。
- (3) Complete lack of marking, written mistakes and direction errors are regarded disqualified.  
表示が無いものや記載に誤りがあるもの、方向に誤りがあるものは不合格とする。

### 15.2. Shield Case; シールドケース

- (1) As for cracks and discoloration the shield case, if the contents of marking can be deciphered, the defect will be unquestioned.  
シールドケースのキズや変色については、表示内容が判読可能なものは不問とする。
- (2) As for deformation of the shield case, if the contents of marking can be deciphered, the defect will be unquestioned as long as the external form specification is fulfilled.  
シールドケースの変形については、外形規格内において表示が判読可能なものは不問とする。
- (3) As for complete lack of the shield case will be regarded disqualified.  
シールドケースが無いものは不合格とする。

### 15.3. Base; 基板

- (1) As for cracks and peelings of the solder resister, it will be regarded as disqualified when the wiring pattern is exposed.  
ソルダーレジスト上のキズとはがれについては、配線が露出しているものは不合格とする。
- (2) As for unevenness of the solder resister, it will be unquestioned as long as the external form specification is fulfilled.  
外形規格内におけるソルダーレジストのむらは不問とする。
- (3) As for the fuzz of the cutting plane of the base, if the length of it is within one mm, it will be unquestioned.  
基板切断面のバリについては、長さ 1mm 以内は不問とする。
- (4) As for the soldering of the shield case insertion part, 1/4 or more of the base side hole area should be covered with solder.  
シールドケース挿入部のはんだ付け部については、基板側スルーホール面積の 1/4 以上がはんだで覆われていること。

### 15.4. Solder Ball; はんだボール

- (1) As for a position gap of solder ball, it must be within +/-0.15mm from the determined position.  
はんだボールの位置ズレについては、所定の位置 +/-0.15mm 以内とする。
- (2) Crack of the solder ball should be 1/3 or less of the diameter of the solder ball.  
はんだボールのキズはボール径の 1/3 以下の長さであること。
- (3) Solder ball bridge and a double solder ball will be disqualified.  
ボールブリッジやダブルボールは不合格とする。
- (4) A total lack and shortage of the solder ball is regarded disqualified.  
はんだボールが無いものや不足しているものは不合格とする。

## 16. Notes of use ; 使用上の注意事項

### 16.1. Notes of designing the board.; 設計時の注意事項

- (1) Follow the conditions written in the specification.  
本仕様書に記載されている条件は必ず守ってください。
- (2) This module should not be stressed when installed.  
本製品を取り付けの際は応力がかからないような取り付けをお願いします。
- (3) Keep this module away from heat sources  
本製品は熱源から離して設置してください。
- (4) Use stable power supply and be careful not to add over voltage, opposite voltage, noise and spike.  
供給電源には、安定したものを使用し、過電圧、逆電圧、雑音、スパイクなどが加わらないようにしてください。
- (5) Keep this module away from high-frequency noise area.  
本製品の近辺には高周波雑音を発生する回路を配置しないよう願います。
- (6) Follow the conditions of interface specifications when using control signals to control this module.  
本製品の制御に必要なコントロール信号については、インターフェース条件を必ず守ってください。
- (7) Use the specified impedance for the input/output terminals.  
各入出力端子は指定のインピーダンスでご使用ください。
- (8) If the surge electric discharge to the antenna is assumed, inserting a surge absorber as far as possible from the point between the A4 pin (ANT) connection line and the A5 pin (GND) connection line.  
アンテナへのサージ放電が想定される場合には、A4ピン(ANT)接続ラインとA5ピン(GND)接続ライン間に製品から出来るだけ離れた位置にサージアブソーバを挿入することを推奨します。

### 16.2. Notes of installation; 実装上の注意事項

- (1) Baking process cannot be done on the embossed tape. Please carry out the ICs on a tray specified by our company and conduct the baking process under the condition of +125+/-5degC, 22 ~ 26 hours. Please be sure to carry out reflowing within the appointed time [15.4 (1)].  
エンボステープはベーキング処理が出来ません。ベーキング処理は弊社指定のトレイにて+125+/-5degC、22～26時間を実施してください。必ず指定時間以内にリフロー半田付けを実施してください[15.4 (1)]。
- (2) Please refer the reflow data[9<sup>th</sup> section] of this production. It is possible to reflow this module 2 times.  
リフロー条件は添付のモジュール製造時のリフローデータ[第9項]を参考にしてください。2回のリフロー半田付けが可能です。
- (3) This module should not be stressed or vibrated when reflowed.  
リフロー中はモジュールに振動を与えないでください。
- (4) Do not wash the module.  
本モジュールは洗浄対応しておりません。
- (5) Refer to the recommended pattern when designing the board.  
基板設計の際は推奨パターンを参考に作成願います。
- (6) Be careful of distortion of the shield case, when installing this module.  
本モジュールを実装する場合、シールドの変形に注意してください。
- (7) Do not install the product by moisture-proof coating.  
本製品を防湿コーティング等による封止はしないでください。
- (8) Fill up BGA under fill when mounting the module.  
実装時はBGAのアンダーフィル材を充填してください。

## 16.3. Notes of usage conditions; 取り扱い時の注意事項

- (1) Be careful against static electricity.  
取り扱い時、静電気防止対策等の配慮を願います。
- (2) Do not use a module once fallen.  
単体で落下した製品は使用しないでください。
- (3) Do not remove the shield case.  
製品のシールドを外さないでください。
- (4) Follow the descriptions for power supplying.  
供給電源については定格を必ず守ってください。
- (5) Do not touch the pins directly by bare hands. May deteriorate the soldering strength.  
端子に直接手を触れると、半田付け性が劣化しますのでご注意ください。

## 16.4. Notes of storage; 保管上の注意事項

- (1) When stored in moisture-proof bag under storage conditions 30degC, 65% RH (Relative humidity) or less, the shelf life will be within 6 months (from date of shipping). After the bag opened, it must be reflowed to a PCB within 168 hours with the stored condition 30degC, 65% RH or less (Max 2 times). When the appointed period has exceeded after opening the bag, please carry out the baking process on the tray specified by our company under the condition of +125+/-5degC, 22~26 hours.  
防湿梱包状態で保存する場合、30degC、60% RH (相対湿度) 以下にて 6 ヶ月以内 (出荷年月日から)、開封後は 30degC、60% RH 以下にて 168 時間以内にリフロー半田付け(2 回以内)を実施してください。開封後、指定期間を超えた場合は+125+/-5degC、22~26 時間のベーキング処理を弊社指定のトレイにて実施してください。
- (2) Store in the environment of no heat, high humidity, dust nor corrosive gas.  
高温、多湿、塵埃、腐食性ガスのない環境で保管してください。
- (3) Dropping or piling by bulk may cause damage.  
落下やバラ積みは、破損の恐れがありますのでご注意ください。

## 16.5. Notes of others; その他の注意事項

- (1) This specification sheet includes know how and copyrights we own. Please do not disclose this to any third party.  
本仕様書は、弊社の著作権、ノウハウに関する内容が含まれていますので、第3者には開示しないように願います。
- (2) Please do not use this product for purposes not agreed with Toyota Industries Corporation.  
本製品を弊社と合意した用途以外の目的に使用しないでください。
- (3) Be sure to provide an appropriate fail-safe function on your product to prevent secondary damages that may be caused by an abnormal function or a failure of our product. We assume no responsibility whatsoever for accidents resulting in injury or death, fire accidents and other serious accidents by unsuitable use.  
本製品に万が一異常や不具合が生じた場合でも、2次災害防止のため、セット本体に適切な予防機能を必ず付加してください。不適当な使用による人身事故、火災事故、その他の重大事故につきましては、当社は一切その責任を負いません。
- (4) We assume no responsibility whatsoever for the use of any circuits described herein. Conveys no license under any patent or other rights and makes no representations whether the circuits are free from patent infringement or not.  
本仕様書に記載されている回路の使用に起因する工業所有権に関する諸問題につきまして当社は一切その責任を負いません。
- (5) Any questions about the provisions of this document or any other matters that are not provided in this document shall be solved by negotiation between the two parties.  
本書に記載無き事項及び記載事項に疑義が生じた場合は、両者の合議により解決することとします。

